

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-65028

(43)公開日 平成10年(1998) 3月6日

(51)IntCl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L	29/78
	29/788			27/10
	29/792			3 7 1
	27/115			4 3 4

審査請求 未請求 請求項の数20 O L (全 14 頁)

(21)出願番号 特願平8-221998

(22)出願日 平成8年(1996) 8月23日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 松井 法晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

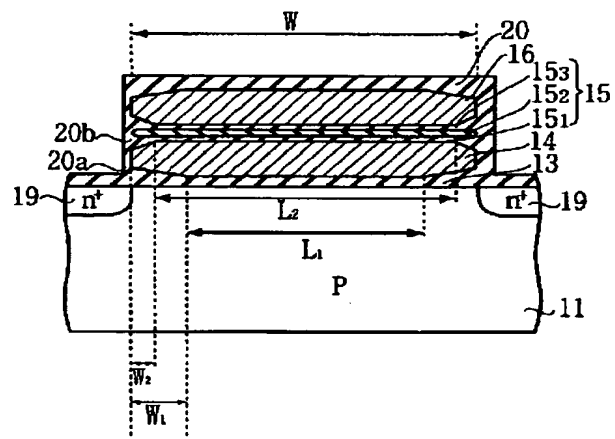
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57)【要約】

【課題】 データの書き込みあるいは消去の際に印加するバイアスがさほど高くなく、低消費電力でしかも信頼性の向上した不揮発性半導体記憶装置及びその製造方法の提供。

【解決手段】 半導体基板11内に形成されたソース及びドレイン領域19と、これらソース及びドレイン領域19間で前記半導体基板11上に形成された第1のゲート絶縁膜13と、この第1のゲート絶縁膜13上に形成された電荷蓄積層となる浮遊ゲート14と、この浮遊ゲート14上に形成された第2のゲート絶縁膜15と、この第2のゲート絶縁膜15上に形成された制御ゲート16とからなるメモリセルを備えてなる不揮発性半導体記憶装置において、前記第2のゲート絶縁膜15と浮遊ゲート14及び制御ゲート16との界面に形成されたゲートバースピーク20bのゲート長方向の長さ $w_2$ を、前記第1のゲート絶縁膜13と浮遊ゲート14との界面に形成されたゲートバースピーク20aのゲート長方向の長さ $w_1$ 以下とする。



1

## 【特許請求の範囲】

【請求項1】半導体基板内に形成されたソース及びドレイン領域と、これらソース及びドレイン領域間で前記半導体基板上に形成された第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された電荷蓄積層となる浮遊ゲートと、この浮遊ゲート上に形成された第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された制御ゲートとからなるメモリセルを備えてなり、前記第2のゲート絶縁膜と浮遊ゲート及び制御ゲートとの界面に形成されたゲートバズピークのゲート長方向の長さが、前記第1のゲート絶縁膜と浮遊ゲートとの界面に形成されたゲートバズピークのゲート長方向の長さ以下であることを特徴とする不揮発性半導体記憶装置。

【請求項2】半導体基板内に形成された第1のソース及びドレイン領域と、これら第1のソース及びドレイン領域間で前記半導体基板上に形成された第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された電荷蓄積層となる浮遊ゲートと、この浮遊ゲート上に形成された第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された制御ゲートとからなるメモリセル；及び前記半導体基板内に形成された第2のソース及びドレイン領域と、これら第2のソース及びドレイン領域間で前記半導体基板上に形成された第3のゲート絶縁膜と、この第3のゲート絶縁膜上に形成されたゲート電極とからなる周辺回路の一部を成すMOSトランジスタを備えてなり、前記第2のゲート絶縁膜と浮遊ゲート及び制御ゲートとの界面に形成されたゲートバズピークのゲート長方向の長さが、前記第1のゲート絶縁膜と浮遊ゲートとの界面に形成されたゲートバズピークのゲート長方向の長さ以下であり、かつ前記第3のゲート絶縁膜とゲート電極との界面に形成されたゲートバズピークのゲート長方向の長さ以下であることを特徴とする不揮発性半導体記憶装置。

【請求項3】前記第2のゲート絶縁膜がシリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の積層膜であることを特徴とする請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項4】前記浮遊ゲートの酸化レートが下層側で高く、上層側で低いことを特徴とする請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項5】前記制御ゲートの酸化レートが、浮遊ゲートの下層側の酸化レートよりも低いことを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】前記浮遊ゲートが不純物のドーピングされたポリシリコンからなり、不純物濃度が浮遊ゲートの下層側で高く、上層側で低いことを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項7】前記制御ゲートが不純物のドーピングされたポリシリコンからなり、その不純物濃度が浮遊ゲートの下層側よりも低いことを特徴とする請求項6記載の不揮発

2

性半導体記憶装置。

【請求項8】前記半導体基板上に前記メモリセルが複数個マトリックス状に集積形成されてなり、かつ前記第1のゲート絶縁膜と浮遊ゲートとの界面に形成されたゲートバズピークのゲート長方向の長さを $w_1$ 、前記第2のゲート絶縁膜と浮遊ゲート及び制御ゲートとの界面に形成されたゲートバズピークのゲート長方向の長さを $w_2$ 、前記浮遊ゲート及び制御ゲートのゲート長を $w$ としたとき、メモリセル毎の $(w - 2w_2) / (w - 2w_1)$ の値のばらつきが全メモリセルを通じて $\pm 5\%$ の範囲内にあることを特徴とする請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項9】半導体基板内に形成されたソース及びドレイン領域と、これらソース及びドレイン領域間で前記半導体基板上に形成された第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された電荷蓄積層となる浮遊ゲートと、この浮遊ゲート上に形成された第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された制御ゲートとからなるメモリセルを備えてなる不揮発性半導体記憶装置であって、前記浮遊ゲートが不純物のドーピングされたポリシリコンからなり、不純物濃度が浮遊ゲートの下層側で高く、上層側で低いことを特徴とする不揮発性半導体記憶装置。

【請求項10】前記浮遊ゲートの下層側の不純物濃度が $5 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であり、上層側の不純物濃度が $1 \times 10^{20} \sim 4 \times 10^{20} \text{ cm}^{-3}$ であることを特徴とする請求項9記載の不揮発性半導体記憶装置。

【請求項11】前記制御ゲートが不純物のドーピングされたポリシリコンからなり、その不純物濃度が浮遊ゲートの下層側よりも低いことを特徴とする請求項9または請求項10に記載の不揮発性半導体記憶装置。

【請求項12】前記制御ゲートの不純物濃度が $1 \times 10^{20} \sim 4 \times 10^{20} \text{ cm}^{-3}$ であることを特徴とする請求項11記載の不揮発性半導体記憶装置。

【請求項13】前記浮遊ゲート及び制御ゲートは不純物としてPのドーピングされたポリシリコンからなることを特徴とする請求項9乃至請求項12のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項14】半導体基板上に第1の絶縁層、第1の導電層、第2の絶縁層及び第2の導電層を順次積層する工程と、前記第2の導電層、第2の絶縁層及び第1の導電層をパターンニングして制御ゲート及び浮遊ゲートを得る工程と、前記制御ゲート及び浮遊ゲートの設けられた半導体基板面上に酸化膜薄層を形成する工程と、前記制御ゲート及び浮遊ゲートをマスクとして半導体基板内に不純物をドーピングしソース及びドレイン領域を得る工程と、前記不純物のドーピング後前記酸化膜薄層上に耐酸化性材料を堆積させる工程と、得られた耐酸化性膜をエッチバックして前記制御ゲート及び浮遊ゲートの側面に選択的に耐酸化性膜を残留させる工程と、前記耐酸化性膜のエツ

## 3

チバック後に前記浮遊ゲートの酸化を進行させる工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項15】前記浮遊ゲートの酸化をその下層側で優先的に進行させることを特徴とする請求項14記載の不揮発性半導体記憶装置の製造方法。

【請求項16】前記浮遊ゲートを酸化後、前記制御ゲート及び浮遊ゲートの側面に残留した耐酸化性膜が除去されることを特徴とする請求項14または請求項15に記載の不揮発性半導体記憶装置の製造方法。

【請求項17】半導体基板上に第1の絶縁層、第1の導電層、第2の絶縁層及び第2の導電層を順次積層する工程と、前記第2の導電層、第2の絶縁層及び第1の導電層をパターンニングして制御ゲート及び浮遊ゲートを得る工程と、前記制御ゲート及び浮遊ゲートの設けられた半導体基板面上に酸化膜を形成するとともに前記浮遊ゲートの主面の酸化を進行させる工程とを具備する不揮発性半導体記憶装置の製造方法であって、前記浮遊ゲートの酸化レートが下層側で高く、上層側で低く設定されていることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項18】前記浮遊ゲートの酸化が下層側で優先的に進行することを特徴とする請求項17に記載の不揮発性半導体記憶装置の製造方法。

【請求項19】前記制御ゲートの酸化レートが、浮遊ゲートの下層側の酸化レートよりも低く設定されていることを特徴とする請求項17に記載の不揮発性半導体記憶装置の製造方法。

【請求項20】前記浮遊ゲートの主面を酸化後、前記制御ゲート及び浮遊ゲートをマスクとして半導体基板内に不純物をドープレソース及びドレイン領域を得ることを特徴とする請求項17乃至請求項19のいずれか1項に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は不揮発性半導体記憶装置とその製造方法に関し、特に電氣的にデータの書き込み及び消去が可能な不揮発性半導体記憶装置とその製造方法に関する。

【0002】

【従来の技術】不揮発性半導体記憶装置は、電源を切ってもデータが消えない等の利点があるため、近年大幅に需要が増大している。電氣的に一括消去可能な不揮発性半導体記憶装置であるフラッシュメモリは、2トランジスタ型のバイト型不揮発性半導体記憶装置と異なり、1トランジスタでメモリセルを構成することができる。この結果、メモリセルを小さくすることが可能となり、大容量の磁気ディスクの代替用途等が期待されている。

【0003】こうしたフラッシュメモリの中でも、特に高集積化に有利なものとしてNAND型EEPROMが

## 4

知られている。これは、次のような構造を有する。すなわち、複数のメモリセルを例えばカラム方向に並べ、これらのセルのうちの互いに隣り合うセル同士のソースとドレインを順次直列に接続する。このような接続により、複数のメモリセルが直列接続された単位セル群（NANDセル）を構成し、こうした単位セル群を一単位としてビット線に接続する。

【0004】一方メモリセルは、通常電荷蓄積層となる浮遊ゲートと制御ゲートとが積層された積層ゲート構造を有する。メモリセルは、p型基板またはn型基板に形成されたp型ウェル内にマトリックス状に集積形成される。NANDセルのドレイン側は、選択ゲートを介してビット線に接続される。NANDセルのソース側は、選択ゲートを介してソース線（基準電位配線）に接続される。各メモリセルの制御ゲートは、ロウ方向に配設されたワード線に接続されている。

【0005】またこのNANDセルへのデータの書込みは、例えばまず消去動作によってNANDセル内のすべてのメモリセルについてトランジスタのしきい値が負にされた後、ビット線から最も離れた位置のメモリセルから順次行なわれる。具体的には、選択されたメモリセルの制御ゲートに高電圧を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電位を印加したうえで、ビット線に書込みデータに応じて0Vまたは中間電位を与える。

【0006】すなわちここでビット線に0Vが与えられると、ソース及びドレイン領域間のチャネル領域で発生した電子がFNトンネル現象で浮遊ゲートに注入される。この結果、選択されたメモリセルのトランジスタのしきい値が正方向にシフトし、“0”のデータが書込まれる。逆にビット線に中間電位が与えられたときは、浮遊ゲートに電子が注入されることはなくトランジスタのしきい値は負のままで、選択されたメモリセルはデータ“1”の状態をとる。

【0007】さらに、こうして書込まれたデータの消去に当っては、例えばすべての制御ゲート及び選択ゲートを0Vとし、ビット線及びソース線を浮遊状態としたうえで、メモリセルがn型基板に形成されたp型ウェル内に形成されている場合、p型ウェル及びn型基板に高電圧を印加する。これにより、すべてのメモリセルにおいて浮遊ゲート中の電子がFNトンネル現象でp型ウェルに抜き取られ、メモリセルのトランジスタのしきい値が負方向にシフトする。すなわち、データの消去はすべてのメモリセルに対して同時に行なわれる。

【0008】一般にNANDセルにおいては、上述したようなデータの書込み及び消去の際に、電子が浮遊ゲートに十分に注入あるいは抜き取られるためには、制御ゲートまたはp型ウェル及びn型基板に高電圧を印加したとき、浮遊ゲートと基板との間にも実効的に高い電界が供給される必要がある。ここで、この浮遊ゲートと基板

5

との間の電界の大きさは、制御ゲートと浮遊ゲートとの間の絶縁膜による容量と、浮遊ゲートと基板との間の絶縁膜による容量の比、すなわちカップリング比によって決定される。

【0009】具体的には、書込み時では制御ゲートに印加した電圧にこのカップリング比を乗じた値、消去時では基板に印加した電圧にカップリング比を乗じた値が浮遊ゲートと基板との間に印加される電圧となる。従って、例えば0.65のカップリング比を有し、浮遊ゲートと基板との間の絶縁膜が膜厚0.01 $\mu$ mのシリコン酸化膜からなるNANDセルにおいて、電子がFNトンネル現象で浮遊ゲートに十分に注入あるいは抜き取られるためには、制御ゲートまたはp型ウェル及びn型基板に20Vの高バイアスを印加し、浮遊ゲートと基板との間の絶縁膜に約13MV/cmの電界を供給することが必要となる。なお、こうしたカップリング比と書込みあるいは消去動作時におけるバイアスとの関係は、基板ホットエレクトロンを利用してデータの書込みを行なうNOR型のメモリセル等についても全く同様である。

【0010】

【発明が解決しようとする課題】ところで、上述したような浮遊ゲートと制御ゲートの積層ゲート構造を有する不揮発性半導体記憶装置においては、浮遊ゲートに蓄積された電荷の半導体基板側へのリークがしばしば問題となる。すなわち、浮遊ゲートをエッチング等で単に加工形成したのでは、浮遊ゲートの両端が電界集中の生じやすい鋭角状となる傾向があり、結果として浮遊ゲートに蓄積されていた電荷がこの部分から半導体基板へとリークすることがある。従って、メモリセルのトランジスタのしきい値が変動し、ひいてはメモリセルに書込まれたデータを読み出す際の誤動作や記憶時におけるデータの反転等を招くことになり、半導体記憶装置の信頼性が著しく低下してしまう。

【0011】これに対し、浮遊ゲートと制御ゲートの積層ゲート構造について後酸化により浮遊ゲートの主面の酸化を進行させ、浮遊ゲートと半導体基板との間の領域でゲートバースピークを形成すれば、浮遊ゲートの両端での電界集中が抑えられ、結果的に蓄積電荷の半導体基板へのリークを防止して半導体記憶装置の信頼性を向上させることができる。ここで、こうして得られた半導体記憶装置における積層ゲート構造の縦断面図を図19に示す。

【0012】図示される通りこのような半導体記憶装置は、p型シリコン半導体基板等の半導体基板41上に、シリコン酸化膜等からなる第1のゲート絶縁膜42及び第2のゲート絶縁膜44を介して、ポリシリコンを主体とする浮遊ゲート43及び制御ゲート45が順次積層された積層ゲート構造を有している。また半導体基板41においては、こうしたゲートの両側でn+型拡散層からなるソース及びドレイン領域46がそれぞれ形成されて

6

おり、これらの全面を覆って後酸化膜47が半導体基板41上に形成されている。さらに図中の47aが、浮遊ゲート43と半導体基板41との間の領域で形成されたゲートバースピークであり、このようなゲートバースピーク47aが形成されることで浮遊ゲート43の両端の形状が鈍り、電荷が蓄積された際等の電界集中が回避され得る。

【0013】しかしながら、上述したように浮遊ゲート43と半導体基板41との間の領域でゲートバースピーク47aの形成を試みると、同時に浮遊ゲート43と制御ゲート45との間の領域において、浮遊ゲート43と半導体基板41との間の領域以上にゲートバースピーク47bが形成されるという不具合が生じる。すなわち図19に示されるような積層ゲート構造では、第2のゲート絶縁膜44の膜厚が第1のゲート絶縁膜42よりも厚いこと等に起因して、一般に浮遊ゲート43と制御ゲート45との間の領域で酸化がより進みやすい。然るに、浮遊ゲート43と制御ゲート45との間の領域に形成されるゲートバースピーク47bの長さが長くなると、浮遊ゲート43及び制御ゲート45間に介在する絶縁膜の実効的な厚さが増大するとともにその実効面積が小さくなり、容量が低減する。従って、第2のゲート絶縁膜44による容量と第1のゲート絶縁膜42による容量の比であるカップリング比の値が減少し、NANDセル等へのデータの書込み及び消去の際に必要な印加電圧が上昇してしまう。

【0014】上述したように、浮遊ゲートと制御ゲートの積層ゲート構造を有する不揮発性半導体記憶装置においては、浮遊ゲートと半導体基板との間の領域でゲートバースピークを形成して浮遊ゲートに蓄積された電荷の半導体基板へのリークを防止し、ひいては半導体記憶装置の信頼性を高めることがこれまでに試みられているが、この場合メモリセルへデータを書込みまたは消去するうえで必要な印加電圧が上昇し、結果的に周辺回路等で高耐圧トランジスタの設計が不可欠となり、さらには消費電力の増大をも招くという問題があった。本発明はこうした問題を解決して、データの書込みあるいは消去の際に印加するバイアスがさほど高くなく、低消費電力でしかも信頼性の向上した不揮発性半導体記憶装置及びその製造方法を提供することを目的としている。

【0015】

【課題を解決するための手段】上記目的を達成するため本発明は、半導体基板内に形成されたソース及びドレイン領域と、これらソース及びドレイン領域間で前記半導体基板上に形成された第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された電荷蓄積層となる浮遊ゲートと、この浮遊ゲート上に形成された第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された制御ゲートとからなるメモリセルを備えてなり、前記第2のゲート絶縁膜と浮遊ゲート及び制御ゲートとの界面に形成

7

されたゲートバースピークのゲート長方向の長さが、前記第1のゲート絶縁膜と浮遊ゲートとの界面に形成されたゲートバースピークのゲート長方向の長さ以下である不揮発性半導体記憶装置を提供する。さらに本発明はまた、半導体基板内に形成された第1のソース及びドレイン領域と、これら第1のソース及びドレイン領域間で前記半導体基板上に形成された第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された電荷蓄積層となる浮遊ゲートと、この浮遊ゲート上に形成された第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された制御ゲートとからなるメモリセル；及び前記半導体基板内に形成された第2のソース及びドレイン領域と、これら第2のソース及びドレイン領域間で前記半導体基板上に形成された第3のゲート絶縁膜と、この第3のゲート絶縁膜上に形成されたゲート電極とからなる周辺回路の一部を成すMOSトランジスタを備えてなり、前記第2のゲート絶縁膜と浮遊ゲート及び制御ゲートとの界面に形成されたゲートバースピークのゲート長方向の長さが、前記第1のゲート絶縁膜と浮遊ゲートとの界面に形成されたゲートバースピークのゲート長方向の長さ以下であり、かつ前記第3のゲート絶縁膜とゲート電極との界面に形成されたゲートバースピークのゲート長方向の長さ以下である不揮発性半導体記憶装置を提供する。

【0016】すなわち本発明の不揮発性半導体記憶装置は、第2のゲート絶縁膜の上面及び下面に形成されるゲートバースピークの長さを抑制した点が特徴的である。なお本発明においては、前記第2のゲート絶縁膜がシリコン酸化膜単層からなるものであってもよいし、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の積層膜、所謂ONO（Oxide-Nitride-Oxide）積層膜であつてもよい。

【0017】ここで、上述したような本発明の不揮発性半導体記憶装置は、さらに所望により前記浮遊ゲートの酸化レートが下層側で高く、上層側で低いことを特徴とするものであり、これに加えて前記制御ゲートの酸化レートが浮遊ゲートの下層側の酸化レートよりも低いことをさらなる特徴とする。このためには例えば、前記浮遊ゲートを不純物濃度が浮遊ゲートの下層側で高く、上層側で低いポリシリコンで形成すればよく、また制御ゲートについて前記浮遊ゲートの上層側と同等に低い不純物濃度を有するポリシリコンで形成すればよい。

【0018】すなわち、半導体基板内に形成されたソース及びドレイン領域と、これらソース及びドレイン領域間で前記半導体基板上に形成された第1のゲート絶縁膜と、この第1のゲート絶縁膜上に形成された電荷蓄積層となる浮遊ゲートと、この浮遊ゲート上に形成された第2のゲート絶縁膜と、この第2のゲート絶縁膜上に形成された制御ゲートとからなるメモリセルを備えてなる不揮発性半導体記憶装置であつて、前記浮遊ゲートが不純物のドーパされたポリシリコンからなり、不純物濃度が

8

浮遊ゲートの下層側で高く、上層側で低いことを特徴とする不揮発性半導体記憶装置であり、さらには前記制御ゲートが不純物のドーパされたポリシリコンからなり、その不純物濃度が浮遊ゲートの下層側よりも低いことを特徴とする不揮発性半導体記憶装置である。具体的には前記浮遊ゲートの下層側の不純物濃度が、P等通常用いられる不純物種のドーパ限界（Solid Solubility）を越えない範囲で高濃度である $5 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度、上層側の不純物濃度及び前記制御ゲートの不純物濃度はポリシリコンが十分に低抵抗化される $1 \times 10^{20} \sim 4 \times 10^{20} \text{ cm}^{-3}$ 程度に設定されることが好ましい。

【0019】さらに本発明の不揮発性半導体記憶装置が、半導体基板上で多数のメモリセルがマトリックス状に集積形成されてなるものである場合は、各メモリセルについて上述したようなゲートバースピークのゲート長方向の長さを揃えることが好ましい。このためには、前記第1のゲート絶縁膜と浮遊ゲートとの界面に形成されたゲートバースピークのゲート長方向の長さを $w_1$ 、前記第2のゲート絶縁膜と浮遊ゲート及び制御ゲートとの界面に形成されたゲートバースピークのゲート長方向の長さを $w_2$ 、前記浮遊ゲート及び制御ゲートのゲート長を $w$ としたとき、メモリセル毎の $(w - 2w_2) / (w - 2w_1)$ の値のばらつきを全メモリセルを通じて $\pm 5\%$ の範囲内に抑えることが望まれる。なお、ここでの $(w - 2w_1)$ 、 $(w - 2w_2)$ はそれぞれ、第1のゲート絶縁膜側における浮遊ゲートのゲートバースピーク部分を除いたゲート長、及び第2のゲート絶縁膜側における浮遊ゲート及び制御ゲートのゲートバースピーク部分を除いたゲート長に相当する。

【0020】また本発明の不揮発性半導体記憶装置の製造方法は、半導体基板上に第1の絶縁層、第1の導電層、第2の絶縁層及び第2の導電層を順次積層する工程と、前記第2の導電層、第2の絶縁層及び第1の導電層をパターニングして制御ゲート及び浮遊ゲートを得る工程と、前記制御ゲート及び浮遊ゲートの設けられた半導体基板面上に酸化膜薄層を形成する工程と、前記制御ゲート及び浮遊ゲートをマスクとして半導体基板内に不純物をドーパしソース及びドレイン領域を得る工程と、前記不純物のドーパ後前記酸化膜薄層上に耐酸化性材料を堆積させる工程と、得られた耐酸化性膜をエッチバックして前記制御ゲート及び浮遊ゲートの側面に選択的に耐酸化性膜を残留させる工程と、前記耐酸化性膜のエッチバック後に前記浮遊ゲートの酸化を進行させる工程とを具備するものである。すなわち、このような製造方法によれば浮遊ゲートの酸化がその下面側で優先的に進行するので、上述した通り第2のゲート絶縁膜の上面及び下面に形成されるゲートバースピークの長さを抑制したことを特徴とする本発明の不揮発性半導体記憶装置を、容易に得ることが可能となる。なおここで、制御ゲート及

9

び浮遊ゲートの側面に残留させた耐酸化性膜は、浮遊ゲートの酸化後には除去しても構わない。

【0021】一方本発明の不揮発性半導体記憶装置は、半導体基板上に第1の絶縁層、第1の導電層、第2の絶縁層及び第2の導電層を順次積層する工程と、前記第2の導電層、第2の絶縁層及び第1の導電層をパターンニングして制御ゲート及び浮遊ゲートを得る工程と、前記制御ゲート及び浮遊ゲートの設けられた半導体基板面上に酸化膜を形成するとともに前記浮遊ゲートの主面の酸化を進行させる工程とを具備する不揮発性半導体記憶装置の製造方法において、前記浮遊ゲートの酸化レートを下層側で高く上層側で低く設定することでも製造され得る。さらにこの場合、第2のゲート絶縁膜の上面及び下面のいずれについてもゲートバースピークの長さを抑制するためには、前記制御ゲートの酸化レートが浮遊ゲートの下層側の酸化レートよりも低く設定されていることが好ましい。

【0022】すなわち本発明では、こうした製造方法においても浮遊ゲートの酸化がその下面側で優先的に進行し、ひいては第2のゲート絶縁膜の上面及び下面でのゲートバースピークの形成が有効に抑えられる。また、これに引き続き前記制御ゲート及び浮遊ゲートをマスクとして半導体基板内に不純物をドーピングすればソース及びドレイン領域を容易に得ることもでき、結果的に上述したような製造方法と同様、第2のゲート絶縁膜の上面及び下面に形成されるゲートバースピークの長さを抑制したことを特徴とする本発明の不揮発性半導体記憶装置が製造される。

【0023】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を詳述する。まず図1(a)、(b)に、本発明の不揮発性半導体記憶装置をNAND型EEPROMに適用した場合について、一つのNANDセルの平面図及び回路図を示す。また、図2はこのようなNANDセルにおける図1(a)のA-A'線断面図、図3はNAND型EEPROMのメモリセルの回路図である。図示される通り、ここでは8個のメモリセルM<sub>1</sub>～M<sub>8</sub>が直列に接続されて一つのNANDセルを構成している。

【0024】すなわち各メモリセルにおいては、p型シリコン半導体基板11上に電荷蓄積層となる浮遊ゲート14(14<sub>1</sub>, 14<sub>2</sub>, ..., 14<sub>8</sub>)と制御ゲート16(16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>8</sub>)とが積層された積層ゲート構造を有している。また各n型拡散層19は、隣接する二つのメモリセルの一方ではソースとして、他方ではドレインとして共用され、これにより各メモリセルが直列に接続されることになる。

【0025】一方NANDセルのドレイン側とソース側には、それぞれメモリセルの浮遊ゲート14、制御ゲート16と同じプロセスによって形成された選択ゲート14<sub>9</sub>, 16<sub>9</sub>及び14<sub>10</sub>, 16<sub>10</sub>が設けられている。な

10

お、選択ゲート14<sub>9</sub>, 16<sub>9</sub>及び14<sub>10</sub>, 16<sub>10</sub>は、ともに図示されない所望部分で1層目と2層目とが導通接続されている。また、こうして素子形成されたp型シリコン半導体基板11の上方は、層間絶縁膜17により覆われている。この層間絶縁膜17の上にビット線18が配設されており、ビット線18はNANDセルの一端のドレイン側n型拡散層19にコンタクトさせられている。

【0026】さらに、行方向に並ぶ複数のNANDセルの同一行の制御ゲート14は、共通に接続され、行方向に走る制御ゲート線CG<sub>1</sub>, CG<sub>2</sub>, ..., CG<sub>8</sub>として配設されており、これら制御ゲート線はいわゆるワード線となっている。また、選択ゲート14<sub>9</sub>, 16<sub>9</sub>及び14<sub>10</sub>, 16<sub>10</sub>も、それぞれ行方向に走る選択ゲート線SG<sub>1</sub>, SG<sub>2</sub>として配設されている。

【0027】また、上述したようなNANDセルにおける一つの積層ゲート構造の縦断面図を図4に示す。図示される通り、シリコン酸化膜からなる第1のゲート絶縁膜13並びにシリコン酸化膜15<sub>1</sub>、シリコン窒化膜15<sub>2</sub>及びシリコン酸化膜15<sub>3</sub>の積層膜(ONO積層膜)からなる第2のゲート絶縁膜15を介して、ポリシリコンを主体とする浮遊ゲート14及び制御ゲート16が順次積層されて、半導体基板11上に積層ゲート構造が形成されている。さらにこうして形成された積層ゲート構造は、全面が後酸化膜20で覆われる。

【0028】このとき本発明の不揮発性半導体記憶装置では、図4に示される積層ゲート構造の縦断面において、第2のゲート絶縁膜15と浮遊ゲート14及び制御ゲート16との界面でのゲートバースピーク20bの長さw<sub>2</sub>が、第1のゲート絶縁膜13と浮遊ゲート14との界面でのゲートバースピーク20aの長さw<sub>1</sub>以下に抑えられる。すなわち、浮遊ゲート14と制御ゲート16との間の領域については、ゲートバースピーク20bの形成が抑制されている一方で、浮遊ゲート14と半導体基板11との間の領域には、十分にゲートバースピーク20aが形成されている。従って、上述したようなカップリング比の減少に起因するデータの書き込みあるいは消去時における印加電圧の著しい上昇を招くことなく、浮遊ゲート14の両端での電界集中を回避し、浮遊ゲート14に蓄積した電荷の半導体基板11へのリークを有効に防止し得る。

【0029】ここで図5は、ゲートバースピーク20a、20bの長さを書込み電圧との関係を示す特性図である。ただし図中の横軸は、図4に示される通り第1のゲート絶縁膜13と対向する浮遊ゲート14のゲートバースピーク20a部分を除いたゲート長をL<sub>1</sub>(=w-2w<sub>1</sub>)、第2のゲート絶縁膜15と対向する浮遊ゲート14及び制御ゲート16のゲートバースピーク20b部分を除いたゲート長をL<sub>2</sub>(=w-2w<sub>2</sub>)としたとき、L<sub>2</sub>に対するL<sub>1</sub>の比の値L<sub>2</sub>/L<sub>1</sub>を表す。また

11

図中の縦軸の書込み電圧 $V_{pp}$ は、制御ゲート16に対し一定時間(80 $\mu$ 秒)バイアスを印加してメモリセルのトランジスタのしきい値を所定量だけシフトさせる(−2V→2V)ために必要な電圧値で定めている。図5に示されるように本発明では、 $L_2/L_1 \geq 1$ の範囲、換言すればゲートバースピーク20aの長さ $w_1$ とゲートバースピーク20bの長さ $w_2$ との関係が $w_2 \leq w_1$ で、ゲートバースピーク20bの長さ $w_2$ がゲートバースピーク20aの長さ $w_1$ 以下に抑えられたとき、書込み電圧 $V_{pp}$ が18V以下に低減されていることが判る。

【0030】なお本発明においては、全メモリセルを通じてこの $L_2/L_1$ の値のばらつきを±5%以内に抑えることが望まれる。これは $L_2/L_1$ の値のばらつきが5%を越えると、メモリセル毎でデータの書込まれやすさ及び消去されやすさの差が大きく、ひいては全メモリセルについて、トランジスタのしきい値の分布を収束させるためのベリファイ動作が煩雑化する傾向があることによる。

【0031】さらに本発明では、図4に示した積層ゲート構造と同一の半導体基板11内に設けられ、例えばNANDセルに対する周辺回路の一部を成すMOSトランジスタのゲート絶縁膜についても、積層ゲート構造側における第1のゲート絶縁膜13と浮遊ゲート14との界面と同程度にゲートバースピークを形成することが好ましい。ここで図6は、このようなゲートバースピークが形成されたMOSトランジスタを積層ゲート構造と併せて示す縦断面図である。

【0032】すなわち、NANDセル等における浮遊ゲート14への電子の注入あるいは抜き取りの際には、通常制御ゲート16や半導体基板11等に高電圧を印加する必要がある。従って、特定の周辺回路に対しても必然的に高電圧での動作を伴うため、こうした周辺回路の一部を成すMOSトランジスタについて、特にドレイン領域のジャンクション耐圧を高めることが望まれる。

【0033】そこで図6では、積層ゲート構造と同一の半導体基板11内に設けられたMOSトランジスタにおいて、第3のゲート絶縁膜23とゲート電極24との界面でゲートバースピーク20cが形成されている。ここで図6中のゲートバースピーク20cの長さ $w_3$ は、好ましくは積層ゲート構造側のゲートバースピーク20aの長さ $w_1$ と同程度、あるいはそれ以上に設定される。この結果、第3のゲート絶縁膜23の実効的な厚さが増大するので、MOSトランジスタのドレイン側のn型拡散層19でも、実用上十分なジャンクション耐圧を確保することが可能となる。また、本発明でこうしたゲートバースピーク20cを形成するには、ゲートバースピーク20aと同一のプロセスで形成する方法が最も簡便であるが、特にこれに限定されるものでもない。

【0034】なお以上は、本発明の不揮発性半導体記憶装置をNAND型EEPROMに適用した場合である

12

が、本発明はこれに限らずNOR型、DINOR型、AND型等積層ゲート構造を有する不揮発性半導体記憶装置に広く応用可能である。次に、これらNOR型、DINOR型、AND型のメモリセルの回路図を図7乃至図10に示し説明する。

【0035】図7は、NOR型EEPROMのメモリセルの回路図で、(a)は選択ゲートが無いものの回路図、(b)は選択ゲートが有るものの回路図である。図7(a)に示されるようにNOR型EEPROMにおいては、ビット線BL及びビット線BLと直交するソース線VSの間に一つのメモリセルが直列に接続される。あるいは図7(b)に示す通り、ビット線BL及びビット線BLと直交するソース線VSの間にビット線側選択ゲートと一つのメモリセルとが直列に接続される。

【0036】図8(a)、(b)は、いずれもグラウンドアレイ型と呼ばれる他のNOR型EEPROMのメモリセルの回路図で、(b)は特に交互グラウンドアレイ型の回路図である。図示される通りグラウンドアレイ型のNOR型EEPROMでは、ビット線BL及びビット線BLと並行するソース線VSの間に一つのメモリセルが直列に接続される。なお図8(a)では、ビット線BLとソース線VSとがそれぞれ固定であるが、図8(b)に示される交互グラウンドアレイ型については、ビット線BLとソース線VSとがそれぞれ切り換え可能とされている。

【0037】また図9は、DINOR型EEPROMのメモリセルの回路図である。図9に示される通りDINOR型EEPROMにおいては、一つのサブビット線SBLと複数のソース線VSとの間にメモリセルが並列に接続され、サブビット線SBLはビット線側選択ゲートを介してビット線BLに接続される。

【0038】さらに図10は、AND型EEPROMのメモリセルの回路図である。図示されるようにAND型EEPROMでは、ビット線BLとソース線VSとの間にビット線側選択ゲートと互いに並列接続されたメモリセル群とソース線側選択ゲートとが直列に接続される。

【0039】次に、本発明の不揮発性半導体記憶装置の製造方法について詳述する。図11乃至図14は、本発明の不揮発性半導体記憶装置の第1の製造方法の工程を示す縦断面図である。なお図中、50は上述したような積層ゲート構造を有する多数のメモリセルがマトリクス状に集積形成されるメモリセル領域、51はこうしたメモリセルに対する周辺回路が形成される周辺回路領域を示す。

【0040】第1の製造方法では、まずp型シリコン半導体基板11の素子分離領域に、必要に応じてp型の不純物を注入した後例えば選択酸化法でフィールド酸化膜(図示せず)を形成する。次いで半導体基板11全面に、第1のゲート絶縁膜13等となる熱酸化膜を形成し、この上に第1のポリシリコン層を堆積させる。ただ

10

20

30

40

50

13

しここでの第1のポリシリコン層は、例えば $\text{POCl}_3$ を用いてPを $1 \times 10^{20} \sim 4 \times 10^{20} \text{ cm}^{-3}$ 程度ドーピングすることで低抵抗化する。

【0041】さらに、CVD法等でシリコン酸化膜15<sub>1</sub>及びシリコン窒化膜15<sub>2</sub>を順次積層した後、フォトリソグラフィ技術によりこの上に形成した所望のレジストパターンをエッチングマスクとして選択的エッチングする。ここで、シリコン窒化膜15<sub>2</sub>、シリコン酸化膜15<sub>1</sub>とともに第1のポリシリコン層がエッチングマスク開口部においてエッチング除去され、素子分離領域を成すフィールド酸化膜の上面及び周辺回路領域51に相当する半導体基板11の熱酸化膜表面が露出される。

【0042】続いてレジストパターンを除去してから、熱酸化法あるいはCVD法等でシリコン酸化膜15<sub>3</sub>をシリコン窒化膜15<sub>2</sub>上及び露出した半導体基板11面上等に形成する。このとき、先にパターニングされた第1のポリシリコン層の側面についても同様にシリコン酸化膜15<sub>3</sub>が形成される。

【0043】次いで半導体基板11上に、第1のポリシリコン層の場合と同様にP等が $1 \times 10^{20} \sim 4 \times 10^{20} \text{ cm}^{-3}$ 程度ドーピングされた第2のポリシリコン層を堆積させた後、フォトリソグラフィ技術によりこの上に形成した所望のレジストパターンをエッチングマスクとして選択的エッチングする。ここでは、第2のポリシリコン層、シリコン酸化膜15<sub>3</sub>、シリコン窒化膜15<sub>2</sub>、シリコン酸化膜15<sub>1</sub>及び第1のポリシリコン層がメモリセル領域50でエッチング加工され、積層ゲート構造における浮遊ゲート14、第2のゲート絶縁膜15及び制御ゲート16が得られる。またこうして、図2に示されるようなドレイン側とソース側の選択ゲート（図示せず）についても併せて形成される。

【0044】次にレジストパターンを除去してから、全く同様に所望のレジストパターンを形成した後これをエッチングマスクとして周辺回路領域51で第2のポリシリコン層をエッチング加工し、周辺回路の一部を成すMOSトランジスタのゲート電極24を得る。こうして図11に示される通り、半導体基板11上のメモリセル領域50で浮遊ゲート14と制御ゲート16とが積層された積層ゲート構造のアレイが、また周辺回路領域51ではMOSトランジスタのゲート電極24が形成される。

【0045】次いで図12に示されるように、熱酸化法等で半導体基板11全面に酸化膜薄層21を形成する。このとき、本発明の不揮発性半導体記憶装置の第1の製造方法においては、浮遊ゲート14と制御ゲート16との間の領域及び浮遊ゲート14やゲート電極24と半導体基板11との間の領域で、ゲートバースピークの形成が顕著とならないよう酸化条件を制御することが重要である。具体的には、半導体基板11の主面上における酸化膜厚が10～30nm、好ましくは20nm程度となるまで酸化を行えばよい。何となればここでの酸化が

14

不十分だと、後工程のソース及びドレイン領域形成時にイオン注入等による半導体基板11のダメージが大きくなりやすく、逆に酸化が余りに過大であると、浮遊ゲート14と制御ゲート16との間の領域及び浮遊ゲート14やゲート電極24と半導体基板11との間の領域で、ゲートバースピークの形成が極度に進行してしまう傾向がある。

【0046】続いて、メモリセル領域50では制御ゲート16及び浮遊ゲート14を、また周辺回路領域51ではゲート電極24をそれぞれマスクとして、イオン注入法等で半導体基板11内にP、As等のn型不純物をドーピングし、メモリセルのトランジスタあるいは周辺回路の一部を成すMOSトランジスタのソース及びドレイン領域となるn型拡散層19を設ける。次いで、半導体基板11全面に亘って形成されている酸化膜薄層21上にシリコン窒化物等の耐酸化性材料を50～150nm程度堆積した後、異方性エッチング技術を利用してエッチバックし、図13に示されるように制御ゲート16及び浮遊ゲート14の側面並びにゲート電極24の側面に、選択的に耐酸化性膜25を残留させる。なおここで、耐酸化性材料の堆積量を50～150nmとしたのは、50nm未満だとこの後浮遊ゲート14と制御ゲート16との間の領域でのゲートバースピーク20bの形成を十分に抑えることが難しく、150nmを越えると上述したようなエッチバック時にその直下の酸化膜薄層21でエッチングを止めることが困難となり、ひいてはメモリセルのトランジスタあるいは周辺回路の一部を成すMOSトランジスタにおいてソース及びドレイン領域がエッチングされてしまい、トランジスタの性能低下を招くおそれがあることによる。

【0047】次に図14に示される通り、熱酸化法等で浮遊ゲート14及びゲート電極24の酸化を進行させ、ゲートバースピーク20a、20b、20cを形成する。このとき、浮遊ゲート14やゲート電極24と半導体基板11との間の領域では、耐酸化性膜25直下の酸化膜部分12aを通じて酸素が供給されるのに対し、浮遊ゲート14と制御ゲート16との間の領域については、耐酸化性膜25が酸素の供給をほぼ完全に遮断するので、浮遊ゲート14の酸化はその下面側で優先的に進行する。従って、第2のゲート絶縁膜15と浮遊ゲート14及び制御ゲート16との界面でのゲートバースピーク20bの形成を抑制しながら、第1のゲート絶縁膜13と浮遊ゲート14との界面や第3のゲート絶縁膜23とゲート電極24との界面で、ゲートバースピーク20a、20cを有効に形成することができる。

【0048】このゲートバースピーク20a、20b、20cの形成の際、耐酸化性材料がエッチング除去されている積層ゲート構造及びゲート電極24上や半導体基板11表面では、膜厚の厚い後酸化膜20が生成する。なおここでの酸化条件は、半導体基板11表面での酸化



15

膜厚が上述したような酸化膜薄層21よりもさらに10～30nm、好ましくは20nm程度厚膜化される程度に制御されることが好ましい。すなわちここでの酸化が不充分だと、第1のゲート絶縁膜13と浮遊ゲート14との界面や第3のゲート絶縁膜23とゲート電極24との界面でゲートバズピーク20a、20cが充分には形成され難く、逆に酸化を過度に進行させると、メモリセル毎にゲートバズピーク20aのゲート長方向の長さのばらつきが大きくなってしまう。

【0049】次いで特に図示しないが、半導体基板11全面にCVD法等でシリコン酸化膜からなる層間絶縁膜を堆積し、得られた層間絶縁膜に特定のn型拡散層19とのコンタクト用のコンタクト孔を開口した後、このコンタクト孔を通じてn型拡散層19と電気的に接続されるビット線等の配線を形成する。こうして、例えば図1及び図2に示したようなNANDセルを備えた不揮発性半導体装置が製造される。

【0050】また、上述したような本発明の不揮発性半導体記憶装置の第1の製造方法では、図14において浮遊ゲート14及びゲート電極24の酸化を進行させ、ゲートバズピーク20a、20b、20cを形成した後、制御ゲート16及び浮遊ゲート14の側面並びにゲート電極24の側面の耐酸化性膜25を除去することが望ましい。何となれば耐酸化性膜25を残存させると、メモリセルにおけるデータリテンションの低下を招く傾向があり、かつ周辺回路側で例えばLDD構造のMOSトランジスタを形成したときに、ホットキャリアのトラップに起因するトランジスタの性能劣化が問題となる。さらに、特に比較的厚い耐酸化性膜25が形成されている場合は、耐酸化性膜25が除去されないと層間絶縁膜を堆積する際にメモリセル間のスペースが狭く、ここで空孔が生じるおそれもある。なお本発明において、この耐酸化性膜25を除去する方法は特に限定されるものではなく、例えばシリコン窒化物からなる耐酸化性膜25に対しては、ホットリン酸( $H_3PO_4$ )によるウエットエッチング技術を利用すればよい。

【0051】さらに図15乃至図18は、本発明の不揮発性半導体記憶装置の第2の製造方法の工程を示す縦断面図である。この第2の製造方法においては、まず上述したような第1の製造方法と同様にして、p型シリコン半導体基板11の素子分離領域に、必要に応じてp型の不純物を注入した後例えば選択酸化法でフィールド酸化膜(図示せず)を形成する。次いで図15に示される通り、半導体基板11全面に熱酸化膜30を形成しこの上に第1のポリシリコン層31を堆積させる。

【0052】ただしここでは、第1のポリシリコン層31へP等をドーブするに当り、下層31a側と上層31b側とでそのドーブ量が異なるように制御する。具体的には、下層31a側の不純物濃度が $5 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度、上層31b側の不純物濃度が $1 \times 10^{20} \sim 4 \times 10^{20} \text{ cm}^{-3}$ 程度に設定される。なお図15においては、第1のポリシリコン層31における不純物濃度がステップ状に変化しているが、第1のポリシリコン層31の下面近傍の不純物濃度が $5 \times 10^{20} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度、上面近傍の不純物濃度が $1 \times 10^{20} \sim 4 \times 10^{20} \text{ cm}^{-3}$ 程度に制御されるのであれば、第1のポリシリコン層31内で不純物濃度を連続的に変化させてもよい。

【0053】さらに、CVD法等でシリコン酸化膜15<sub>1</sub>及びシリコン窒化膜15<sub>2</sub>を順次積層した後、フォトリソグラフィ技術によりこの上に形成した所望のレジストパターンをエッチングマスクとして選択蝕刻する。ここで、シリコン窒化膜15<sub>2</sub>、シリコン酸化膜15<sub>1</sub>とともに第1のポリシリコン層31がエッチングマスク開口部においてエッチング除去され(図示せず)、素子分離領域を成すフィールド酸化膜の上が露出される。

【0054】続いてレジストパターンを除去してから、熱酸化法あるいはCVD法等でシリコン酸化膜15<sub>3</sub>を半導体基板11上に形成する。このとき、先にパターニングされた第1のポリシリコン層31の側面についても同様にシリコン酸化膜15<sub>3</sub>が形成される。さらに、フォトリソグラフィ技術により形成したレジストパターンをエッチングマスクとして、周辺回路領域51におけるシリコン酸化膜15<sub>3</sub>、シリコン窒化膜15<sub>2</sub>及びシリコン酸化膜15<sub>1</sub>を、図16に示されるようにエッチング除去する。

【0055】次いで半導体基板11上に、第1の製造方法の場合と同様にP等が $1 \times 10^{20} \sim 4 \times 10^{20} \text{ cm}^{-3}$ 程度ドーブされた第2のポリシリコン層を堆積させた後、フォトリソグラフィ技術によりこの上に形成した所望のレジストパターンをエッチングマスクとして選択蝕刻する。すなわち、第2のポリシリコン層、シリコン酸化膜15<sub>3</sub>、シリコン窒化膜15<sub>2</sub>、シリコン酸化膜15<sub>1</sub>及び第1のポリシリコン層31がメモリセル領域50及び周辺回路領域51でエッチング加工される。こうして図17に示される通り、積層ゲート構造における浮遊ゲート14、第2のゲート絶縁膜15及び制御ゲート16や、ドレイン側とソース側の選択ゲート(図示せず)、さらには周辺回路の一部を成すMOSトランジスタのゲート電極24が形成される。なおここで得られるゲート電極24は、図15及び図16における第1のポリシリコン層31の下層31a及び上層31b、並びにこれらの上に形成された第2のポリシリコン層にそれぞれが対応する下層24a、上層24b、最上層24cの積層構造を有するものである。

【0056】次いで図18に示されるように、熱酸化法等で半導体基板11全面に酸化膜33を形成する。このとき、本発明の不揮発性半導体記憶装置の第2の製造方法においては、同様の酸化膜形成時に浮遊ゲート14と制御ゲート16との間の領域及び浮遊ゲート14やゲート電極24の側面をエッチング除去する。

【0057】次いで図19に示されるように、熱酸化法等で半導体基板11全面に酸化膜34を形成する。このとき、本発明の不揮発性半導体記憶装置の第2の製造方法においては、同様の酸化膜形成時に浮遊ゲート14と制御ゲート16との間の領域及び浮遊ゲート14やゲート電極24の側面をエッチング除去する。

16

17

ト電極24と半導体基板11との間の領域のいずれについてもゲートバースピークの形成が抑制される第1の製造方法の場合とは異なり、浮遊ゲート14及びゲート電極24と半導体基板11との間の領域についてのみ、ゲートバースピーク20a、20cが選択的に形成される。

【0057】すなわち、ここでは浮遊ゲート14の下層14a及びゲート電極24の下層24aの不純物濃度が、浮遊ゲート14の上層14bや制御ゲート16における不純物濃度より高く設定されており、浮遊ゲート14の上層14b側や制御ゲート16に比べ浮遊ゲート14の下層14a側及びゲート電極24の下層24a側で酸化レートが特異的に高い。従って、浮遊ゲート14の下層14a及びゲート電極24の下層24a側で酸化を優先的に進行させることが可能であり、結果的に第1のゲート絶縁膜13と浮遊ゲート14との界面や第3のゲート絶縁膜23とゲート電極24との界面で、ゲートバースピーク20a、20cを充分に形成することができる。

【0058】ただしこの場合、浮遊ゲート14と制御ゲート16との間の領域におけるゲートバースピーク20bの形成を抑制する観点から、酸化条件を制御する必要がある。具体的には、半導体基板11の主面上における酸化膜厚が10～30nm、好ましくは20nm程度となるまで酸化を行なえばよい。何となればここでの酸化が不十分だと、上述したようなゲートバースピーク20a、20cを充分に形成し難く、かつ後工程のソース及びドレイン領域形成時にイオン注入等による半導体基板11のダメージが大きくなりやすい。逆に酸化が余りに過大であると、浮遊ゲート14と制御ゲート16との間の領域でゲートバースピークの形成が極度に進行してしまう傾向があり、さらに後工程でイオン注入法等によりソース及びドレイン領域を形成することが困難となる。

【0059】次に特に図示しないが、メモリセル領域50では制御ゲート16及び浮遊ゲート14を、また周辺回路領域51ではゲート電極24をそれぞれマスクとして、イオン注入法等で半導体基板11内にP、As等のn型不純物をドーブルし、メモリセルのトランジスタあるいは周辺回路の一部を成すMOSトランジスタのソース及びドレイン領域となるn型拡散層19を設ける。この後必要に応じ、熱酸化法等で浮遊ゲート14及びゲート電極24の酸化をさらに進行させ、ゲートバースピーク20a、20cの形成を促進させてもよい。次いで、第1の製造方法と同様半導体基板11全面にCVD法等でシリコン酸化膜からなる層間絶縁膜を堆積し、得られた層間絶縁膜に特定のn型拡散層19とのコンタクト用のコンタクト孔を開口した後、こうしたコンタクト孔を通じてn型拡散層19と電気的に接続されるビット線等の配線を形成すれば、本発明の不揮発性半導体装置が製造される。

18

【0060】なお、本発明において上述したような周辺回路の一部を成すMOSトランジスタは、図6等に示したNチャネル型のものに特に限定されるわけではなく、半導体基板と逆導電型あるいは同導電型のウェル内に形成されていても何ら差し支えない。また、例えばn型拡散層がチャネル近傍でn-領域を有するLDD構造であってもよいし、第3のゲート絶縁膜を積層ゲート構造側の第1のゲート絶縁膜より厚く形成したものであっても構わない。さらに本発明の主旨を変更しない範囲内で、その他適宜変形して実施することが可能である。

【0061】

【発明の効果】以上詳述したように本発明によれば、データの書込みあるいは消去の際に印加するバイアスが低く低消費電力で、かつ信頼性の良好な不揮発性半導体記憶装置とその製造方法を提供することが可能となる。

【図面の簡単な説明】

【図1】(a)は本発明の一実施形態におけるNANDセルの平面図、(b)は回路図である。

【図2】図1(a)に示したNANDセルのA-A'線断面図である。

【図3】NAND型EEPROMのメモリセルの回路図である。

【図4】NANDセルにおける一つの積層ゲート構造の縦断面図である。

【図5】ゲートバースピークの長さと言込み電圧との関係を示す特性図である。

【図6】ゲートバースピークが形成されたMOSトランジスタを積層ゲート構造と併せて示す縦断面図である。

【図7】NOR型EEPROMのメモリセルの回路図で、(a)は選択ゲートが無いものの回路図、(b)は選択ゲートが有るものの回路図である。

【図8】(a)、(b)は、他のNOR型EEPROMのメモリセルの回路図である。

【図9】DINOR型EEPROMのメモリセルの回路図である。

【図10】AND型EEPROMのメモリセルの回路図である。

【図11】本発明の不揮発性半導体記憶装置の第1の製造方法の工程を示す縦断面図である。

【図12】本発明の不揮発性半導体記憶装置の第1の製造方法の工程を示す縦断面図である。

【図13】本発明の不揮発性半導体記憶装置の第1の製造方法の工程を示す縦断面図である。

【図14】本発明の不揮発性半導体記憶装置の第1の製造方法の工程を示す縦断面図である。

【図15】本発明の不揮発性半導体記憶装置の第2の製造方法の工程を示す縦断面図である。

【図16】本発明の不揮発性半導体記憶装置の第2の製造方法の工程を示す縦断面図である。

【図17】本発明の不揮発性半導体記憶装置の第2の製

19

造方法の工程を示す縦断面図である。

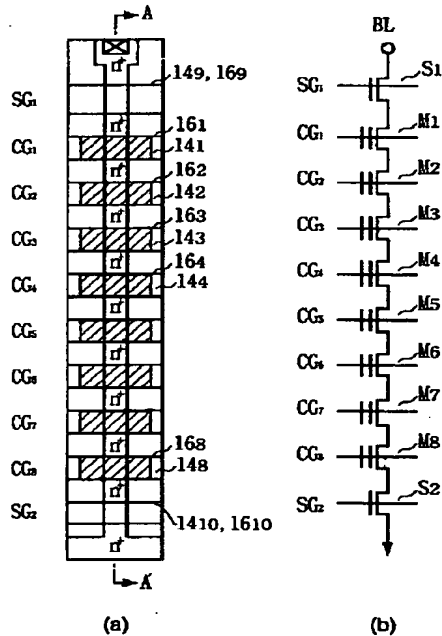
【図18】本発明の不揮発性半導体記憶装置の第2の製造方法の工程を示す縦断面図である。

【図19】浮遊ゲートと半導体基板との間の領域でゲートバースピークを形成した半導体記憶装置における積層ゲート構造の縦断面図である。

【符号の説明】

11…半導体基板、13…第1のゲート絶縁膜、14…\*

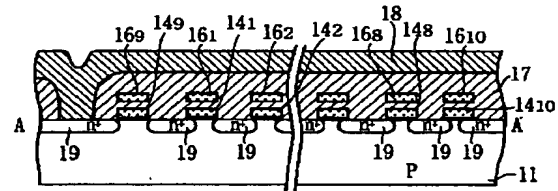
【図1】



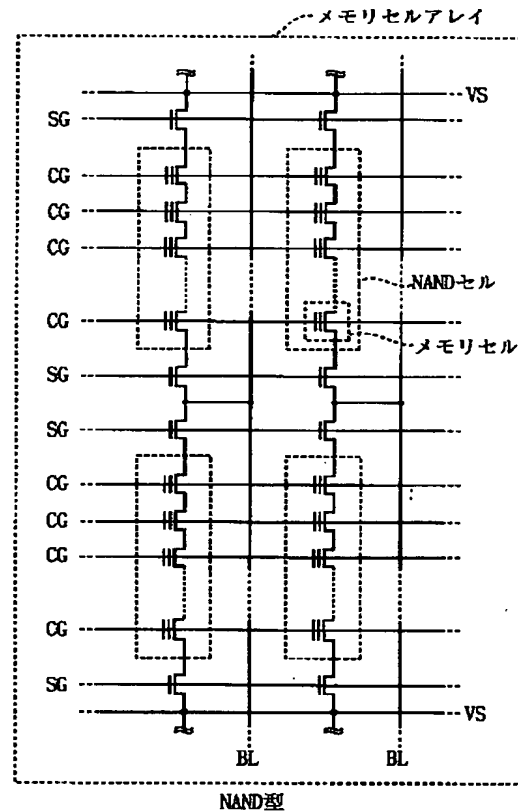
20

\*浮遊ゲート、15…第2のゲート絶縁膜、16…制御ゲート、17…層間絶縁膜、19…n型拡散層、20…後酸化膜、20a, 20b, 20c…ゲートバースピーク、23…第3のゲート絶縁膜、24…ゲート電極、25…耐酸化性膜、30…熱酸化膜、31…第1のポリシリコン層、33…酸化膜、50…メモリセル領域、51…周辺回路領域。

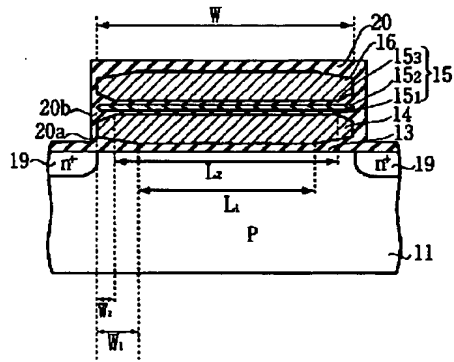
【図2】



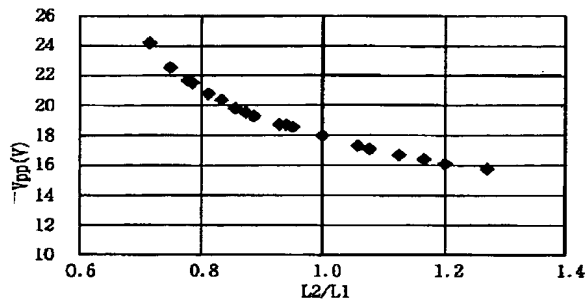
【図3】



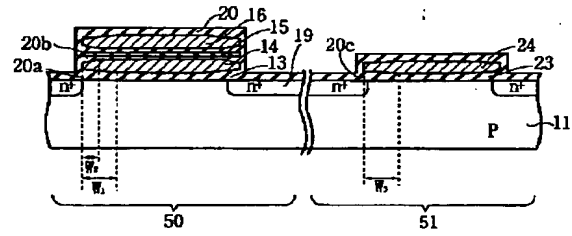
【図4】



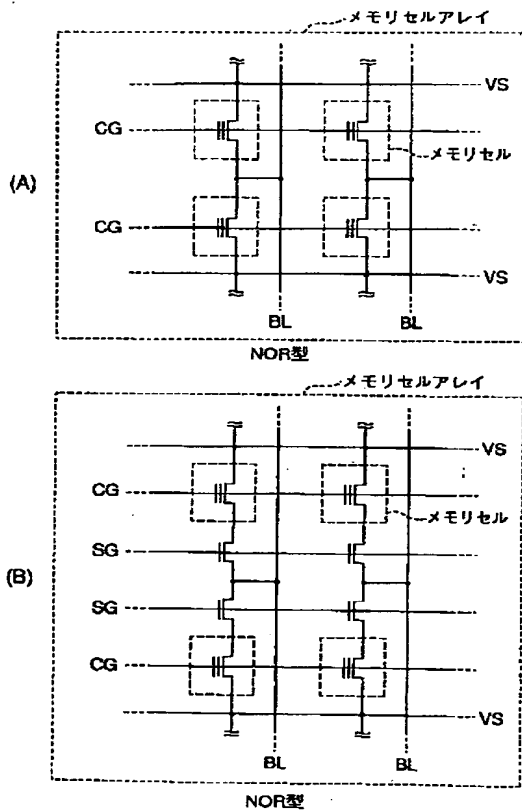
【図 5】



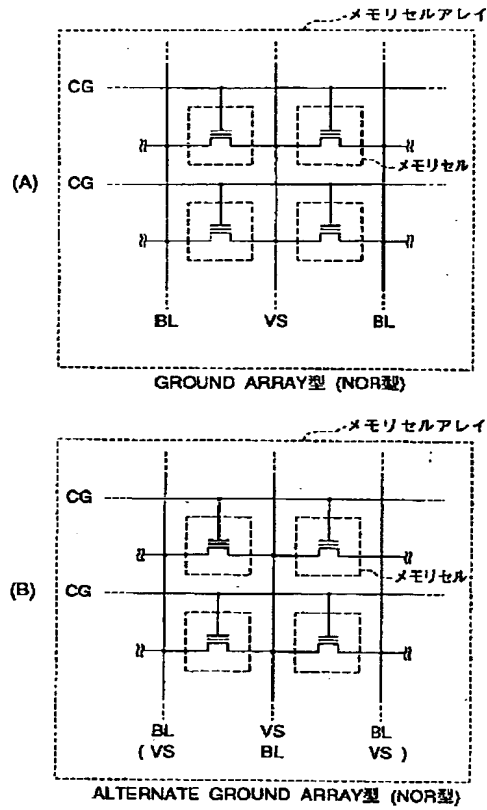
【図 6】



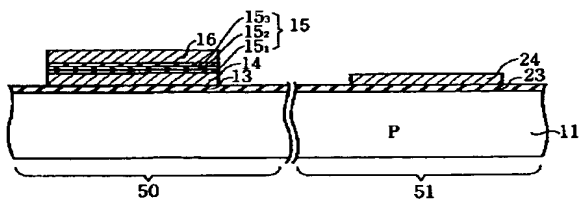
【図 7】



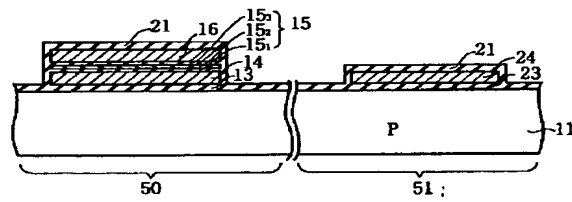
【図 8】



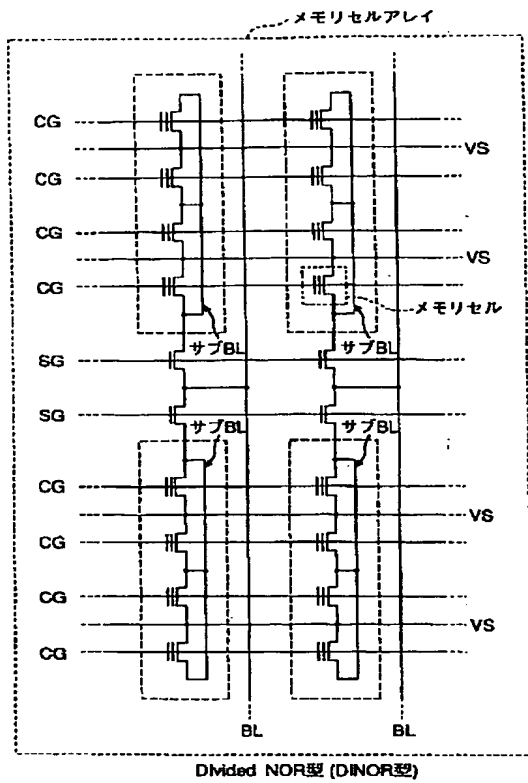
【図 11】



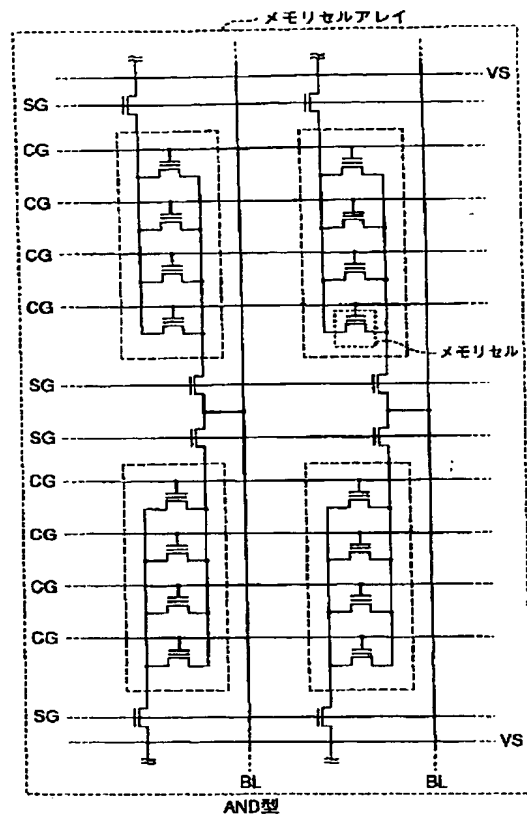
【図 12】



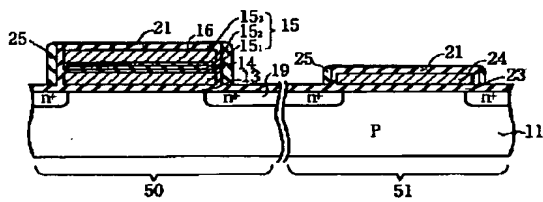
【図9】



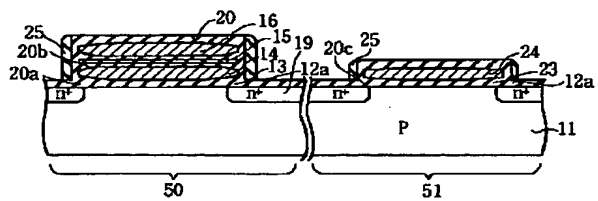
【図10】



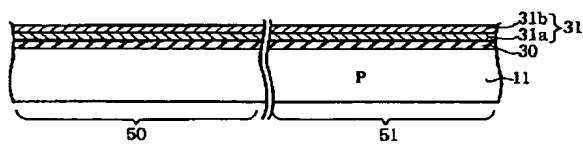
【図13】



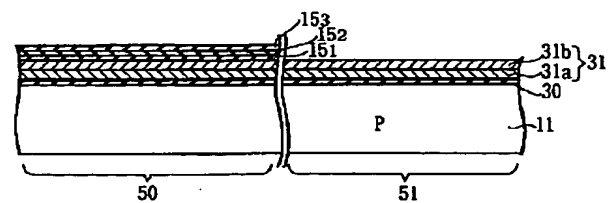
【図14】



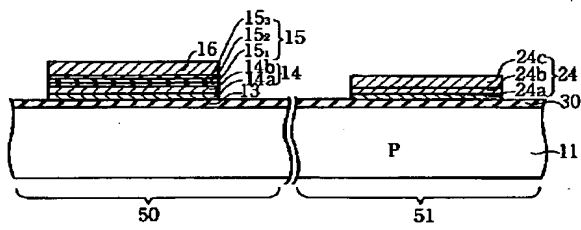
【図15】



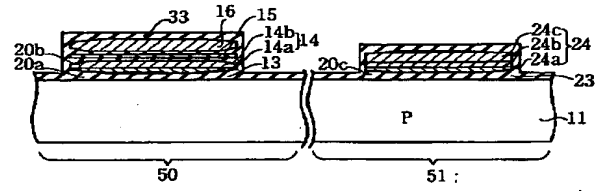
【図16】



【図 17】



【図 18】



【図 19】

